

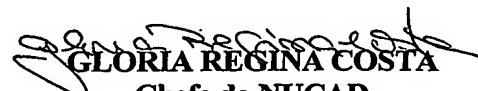
REPÚBLICA FEDERATIVA DO BRASIL
Ministério do Desenvolvimento, da Indústria e Comércio Exterior.
Instituto Nacional da Propriedade Industrial
Diretoria de Patentes

CÓPIA OFICIAL

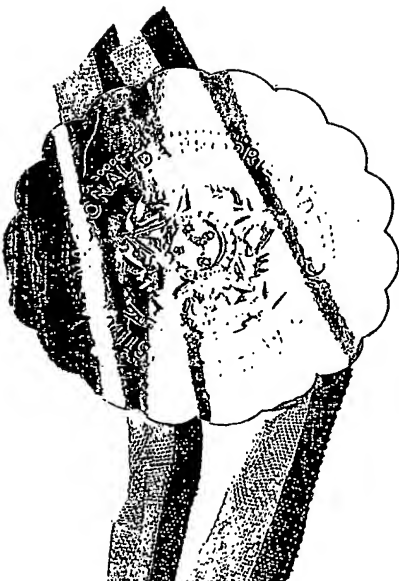
PARA EFEITO DE REIVINDICAÇÃO DE PRIORIDADE

O documento anexo é a cópia fiel de um
Pedido de Patente de Invenção
Regularmente depositado no Instituto
Nacional da Propriedade Industrial, sob
Número PI 0300100-8 de 10/01/2003.

Rio de Janeiro, 26 de setembro de 2003.


GLÓRIA REGINA COSTA
Chefe do NUCAD
Mat. 00449119

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



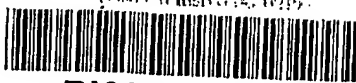
10 JAN 14 14 000280

Protocolo

Número (21)

DEPÓSITO

Pedido de Patente ou de
Certificado de Adição



PI0300100-8

depósito

/

/

(data de depósito)

Ao Instituto Nacional da Propriedade Industrial:

O requerente solicita a concessão de uma patente na natureza e nas condições abaixo indicadas:

1. Depositante (71):

1.1 Nome: **COPPE/UFRJ-COORDENAÇÃO DOS PROGRAMAS DE PÓS GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO**

1.2 Qualificação: **AUTARQUIA** 1.3 CGC/CPF: **33663683005509**

1.4 Endereço completo: **CENTRO DE TECNOLOGIA, S/Nº BLOCO G- ILHA DO FUNDÃO - RIO DE JANEIRO-RJ**

1.5 Telefone:

FAX:

☒ continua em folha anexa

2. Natureza:

☒ 2.1 Invenção ☐ 2.1.1. Certificado de Adição ☐ 2.2. Modelo de Utilidade

Escreva, obrigatoriamente e por extenso, a Natureza desejada: **PATENTE DE INVENÇÃO**

3. Título da Invenção, do Modelo de Utilidade ou do Certificado de Adição (54):
RELÓGIO GLOBAL DISTRIBUÍDO PARA CLUSTERS DE

☒ continua em folha anexa

4. Pedido de Divisão do pedido nº , **de**

5. Prioridade Interna - O depositante reivindica a seguinte prioridade:
Nº de depósito Data de Depósito (66)

6. Prioridade - o depositante reivindica a(s) seguinte(s) prioridade(s):

País ou organização de origem	Número do depósito	Data do depósito

☐ continua em folha anexa

7. Inventor (72):

☐ Assinale aqui se o(s) mesmo(s) requer(em) a não divulgação de seu(s) nome(s)
(art. 6º § 4º da LPI e item 1.1 do Ato Normativo nº 127/97)

7.1 Nome: **CLÁUDIO LUIS DE AMORIM**

7.2 Qualificação: **ENGENHEIRO**
7.3 Endereço: **RUA HUMAITÁ, 104/1006 - BOTAFOGO - RIO DE JANEIRO - RJ**
7.4 CEP: **22261001** 7.5 Telefone

2

8. Declaração na forma do item 3.2 do Ato Normativo nº 127/97: ☒ continua em folha anexa

9. Declaração de divulgação anterior não prejudicial (Período de graça):
(art. 12 da LPI e item 2 do Ato Normativo nº 127/97): ☐ em anexo

10. Procurador (74):

10.1 Nome **JOUBERT GONÇALVES DE CASTRO**
CPF/CGC: **444.397.687-68**

10.2 Endereço: **PRAIA DE ICARAÍ, 237/1301 B ICARAÍ - NITERÓI - RJ**

10.3 CEP: **24230003** 10.4 Telefone **21 2705 0418**

11. Documentos anexados (assinale e indique também o número de folhas):
(Deverá ser indicado o nº total de somente uma das vias de cada documento)

<input checked="" type="checkbox"/> 11.1 Guia de recolhimento	01 fls.	<input checked="" type="checkbox"/> 11.5 Relatório descritivo	10 fls.
<input checked="" type="checkbox"/> 11.2 Procuração	03 fls.	<input checked="" type="checkbox"/> 11.6 Reivindicações	03 fls.
<input type="checkbox"/> 11.3 Documentos de prioridade	fls.	<input checked="" type="checkbox"/> 11.7 Desenhos	03 fls.
<input checked="" type="checkbox"/> 11.4 Doc. de contrato de Trabalho	01 fls.	<input checked="" type="checkbox"/> 11.8 Resumo	01 fls.
<input checked="" type="checkbox"/> 11.9 Outros (especificar): DOC DE CESSÃO			01 fls.
<input type="checkbox"/> 11.10 Total de folhas anexadas:			23 fls.

12. Declaro, sob penas da Lei, que todas as informações acima prestadas são completas e verdadeiras

Rio, 10/01/2003
Local e Data.

Assinatura e Carimbo

**Continuação do quadro 01.
Depositante (71)**

FEST – Fundação Espírito-santense de Tecnologia, Pessoa Jurídica de Direito Privado, CNPJ 02.980.103/0001-90, endereço Av. Fernando Ferrari, nº 845, Campus Universitário Alaor de Queiroz Araújo, Goiabeiras, Vitória, ES.

**Continuação do quadro 03.
Título da Invenção, do Modelo de Utilidade ou do
Certificado de Adição (54)**

Relógio Global Distribuído para Clusters de Computadores.

**Continuação do quadro 07
Inventores, Qualificação e Endereços (7.1) (7.2) (7.3)**

Cláudio Luis de Amorim, brasileiro, CIC 245.866.257-91.
Alberto Ferreira de Souza, brasileiro, CIC 768.550.237-20, residente na Av. Dante
Micheline, 2431 apto 803, Mata da Praia, Vitória, ES - CEP 29066-430.

Relatório Descritivo da Patente de Invenção para
"Relógio Global Distribuído para Clusters de Computadores"

CAMPO TÉCNICO

Esta invenção se relaciona com a sincronização de relógios em sistemas distribuídos de múltiplos computadores e mais particularmente, com um sistema de relógio global para redes ou clusters de computadores, que pode ser lido de forma independente por cada um dos processadores que compõem o sistema.

TÉCNICAS ANTERIORES

Em redes ou clusters de computadores, nos quais múltiplos computadores são interligados através de uma rede de comunicação, cada um dos processadores que compõem o cluster opera assincronamente de acordo com a frequência de seu relógio ou oscilador local. Entretanto, para muitas aplicações paralelas e distribuídas que utilizam clusters, é benéfico dispor de uma referência comum de tempo, ou seja, de um relógio global que permita sincronizar e ordenar os eventos, processos e transações que são gerados no decorrer da execução das aplicações.

Relógios globais podem ser implementados por software, por hardware, ou por uma combinação dos dois. No caso de relógios globais implementados puramente em software, algoritmos probabilísticos de sincronização de relógios são utilizados. Nesses algoritmos, um dos processadores é escolhido como mestre para coordenar o processo inicial de sincronização enviando mensagens através da rede de interconexão para os demais e medindo o tempo de comunicação ponto a ponto. Em seguida, o processador-mestre envia uma mensagem de inicialização de relógio para cada processador,

contendo uma constante apropriada a ser adicionada ao valor inicial de cada relógio local. O valor dessa constante leva em conta o tempo de trânsito de cada mensagem de inicialização. Além da inicialização, os relógios têm que ser re-sincronizados periodicamente, já que, por operar de forma independente, eles não obedecem necessariamente à mesma frequência do processador-mestre. A desvantagem de relógios globais implementados em software é a baixa precisão devido à variação do tempo de transmissão das mensagens através da rede de interconexão.

Outra solução empregada é utilizar um único oscilador e o hardware da rede de interconexão para implementar o relógio global de modo que todos os relógios locais obedeçam à uma única frequência. Neste esquema, cada nó de processamento possui um contador de tempo local e todos os contadores locais incrementam seu valor a partir de um único oscilador. Além disso, é utilizado um algoritmo implementado em software para inicializar todos os contadores de modo que eles operem de forma sincronizada. Relógios globais que utilizam hardware e software são bem mais precisos do que soluções puramente de software.

SUMÁRIO DA INVENÇÃO

A presente invenção se refere a um sistema de relógio global, implementado inteiramente em hardware, para utilização em clusters ou rede de computadores. O sistema permite que, a partir de um sinal de reset enviado por qualquer um dos nós do cluster, todos os contadores de tempo locais dos nós sejam inicializados e sincronizados automaticamente. Dessa forma, cada processador poderá saber o valor do relógio global consultando seu próprio contador

local. O sinal de reset é a única função implementada em software.

O sistema de relógio global inventado compreende o módulo do oscilador central e lógica associada, módulos de contador de tempo local a serem conectados preferencialmente aos barramentos de I/O de cada nó do cluster, e cabos de interconexão.

A invenção utiliza um oscilador central para gerar pulsos e incrementar, de forma síncrona, um contador de tempo local em cada nó do cluster. Ao disparo de um sinal de reset, proveniente de qualquer processador do cluster, o sistema inicializará todos os contadores locais simultaneamente. A simultaneidade é garantida pelo tamanho dos cabos de interconexão, que deverá ser aproximadamente igual, e pelo hardware implementado junto ao oscilador central. Uma vez inicializados, todos os contadores serão sempre incrementados simultaneamente pelo oscilador central, e conterão sempre o mesmo valor de tempo decorrido desde sua inicialização.

O tamanho dos cabos poderá variar, desde de que dentro de limites que garantam que o tempo de propagação do sinal de reset entre o oscilador central e cada contador de tempo local não ultrapasse o tempo de ciclo do oscilador central. Assim, para uma certa frequência do relógio global igual a f (em Hertz), a diferença no tamanho dos cabos, d (em metros), não poderá ultrapassar:

$$d = \frac{v}{f}$$

onde v (em Metros/Segundo) é a velocidade de propagação de sinais eletromagnéticos nos cabos. Tomando como exemplo cabos de comunicação típicos que utilizam fios de cobre e uma frequência de relógio global igual a 100 MHz, os cabos

poderão variar até o limite de dois metros. Neste caso, a precisão do relógio global será da ordem de décimos de microsegundo.

5 O sistema de relógio global permite sua utilização em clusters de diversos tamanhos. Para isso, o módulo do oscilador central, ou módulo gerador de pulsos, deverá ser implementado com um número fixo de portas para as conexões com os processadores que compõem o cluster e uma porta extra para acomodar outros tamanhos de cluster. Clusters de 10 tamanhos maiores que o número de portas de um módulo gerador de pulsos podem ser obtidos interligando estes módulos sob a forma de árvore com vários níveis.

15 No caso de implementação de clusters com mais de um nível, os módulos geradores de pulsos de níveis intermediários não usarão seus osciladores e, em vez disso, receberão os pulsos do relógio de módulos acima na hierarquia. Além disso, os módulos intermediários propagarão para o nível acima os sinais de reset recebidos de pontos 20 abaixo na hierarquia e para o nível abaixo os sinais de reset recebidos de pontos acima na hierarquia.

Um módulo gerador de pulsos se auto identificará como intermediário ou do topo utilizando ou um circuito de detecção de pulsos associado a uma chave eletrônica ou uma chave eletromecânica.

25 BREVE DESCRIÇÃO DOS DESENHOS

Estes e outros objetivos, vantagens e características da invenção ficam mais fáceis de se entender e melhor descritos se a descrição detalhada abaixo for lida conjuntamente com as seguintes figuras:

A FIG.1 Mostra a arquitetura genérica do sistema de relógio global usado na presente invenção para um cluster com 4 nós de processamento.

5 A FIG.2 Mostra a arquitetura hierárquica com vários níveis do sistema de relógio global usado na presente invenção.

A FIG.3 Mostra o diagrama do circuito do Módulo Gerador de Pulsos do Relógio Global.

10 A FIG.4 Mostra o diagrama do circuito Detetor de Pulsos.

A FIG.5 Mostra o diagrama do Módulo Contador do Relógio Global.

DESCRIÇÃO DETALHADA DA INVENÇÃO

15 A Figura 1 ilustra o sistema de relógio global para um cluster com 4 nós. Na figura, o oscilador central gera pulsos que incrementam sincronamente os contadores locais dos nós de processamento. O sinal de reset na figura, que pode ser gerado por qualquer um dos processadores, serve para inicializar todos os contadores simultaneamente. Após, 20 executado o reset, os contadores de todos os nós serão incrementados simultaneamente pelo oscilador central.

25 O relógio global pode ser utilizado por um número crescente de processadores utilizando uma estrutura de módulos geradores de pulsos hierárquicos conforme ilustrado na Figura 2. Nesta figura, cada módulo contém um número fixo de portas para conexão aos processadores que compõem o cluster e uma porta extra para interconexão com outros 30 módulos formando uma estrutura de árvore. Os módulos de níveis intermediários não usam seus osciladores, mas recebem os pulsos de módulos acima na hierarquia. Além disso, módulos

intermediários propagam os sinais de reset recebidos dos módulos acima na hierarquia para os módulos abaixo, e vice-versa. Cada módulo utiliza um circuito de detecção de pulsos associado à uma chave eletrônica para se identificar como um
5 módulo intermediário ou do topo.

Os módulos geradores de pulsos intermediários da Figura 2 utilizam cada um uma porta ou para agrupar todos os sinais de reset que chegam a ele a partir de pontos abaixo na hierarquia. No entanto, a saída desta porta ou é enviada para
10 cima na hierarquia para permitir o reset do relógio global.

Um eventual reset gerado pelo módulo gerador de pulsos em questão, ou por outro módulo ou nó de processamento em outro ponto da hierarquia, sobe até o módulo gerador de pulsos no topo da hierarquia.

15 O módulo no topo da hierarquia agrupa os sinais de reset que chegam a ele com uma porta lógica ou com tantas entradas quantos forem os sinais de reset chegando a ele (ou com uma porta lógica E, se os sinais de reset forem ativos em zero). A saída desta porta lógica é o sinal de reset que
20 desce a hierarquia de módulos geradores de pulsos até chegar simultaneamente em todos os nós de processamento do cluster.

Em cada módulo gerador de pulsos, o sinal de reset descendo a hierarquia é amplificado por buffers para permitir escalabilidade. Assim como o hardware dos contadores de tempo
25 locais, o hardware dos módulos também pode ser conectado ao barramento de I/O dos processadores do cluster, tirando proveito da alimentação disponível.

O tamanho dos cabos interligando os módulos geradores de pulsos que formam a árvore hierárquica, e estes
30 aos módulos contadores em cada nó de processamento, poderá

variar, desde de que dentro de limites que garantam que a diferença de tempo de propagação do sinal de reset entre o oscilador central e quaisquer dois contadores não ultrapasse o tempo de ciclo do oscilador central. Assim, para uma certa
5 frequência do relógio global igual a f (em Hertz), a diferença no tamanho dos cabos, d (em metros), não poderá ultrapassar:

$$d = \frac{v}{f}$$

10 onde v (em Metros/Segundo) é a velocidade de propagação de sinais eletromagnéticos nos cabos.

A Figura 3 mostra o diagrama de um protótipo do módulo gerador de pulsos do relógio global. Este diagrama é mostrado apenas como ilustração e outras implementações seguindo as especificações desta invenção são também
15 possíveis.

Neste protótipo foi usado um detector de pulsos, identificado como CLOCK_DETECTOR na Figura 3, para verificar automaticamente se o módulo está no topo da hierarquia ou não. Caso o módulo esteja no topo da hierarquia, a entrada
20 EXT_CLOCK de CLOCK_DETECTOR não receberá pulsos, uma vez que está é a entrada utilizada para receber pulsos de módulos em níveis mais altos na hierarquia. Quando o módulo está no topo da hierarquia, o circuito CLOCK_DETECTOR detecta a ausência de pulsos em EXT_CLOCK, liga a entrada INT_CLOCK (que recebe
25 pulsos do oscilador local ao módulo) à saída SEL_CLOCK, que está ligada a um buffer (OBUF) cuja saída leva os pulsos para níveis inferiores na hierarquia, e gera um nível lógico verdadeiro na sua saída TOPLEVEL. Quando o módulo não está no topo da hierarquia, haverá pulsos na entrada EXT_CLOCK de

CLOCK_DETECTOR. Neste caso, CLOCK_DETECTOR detecta a presença de pulsos em EXT_CLOCK, liga a entrada EXT_CLOCK à saída SEL_CLOCK, e gera um nível lógico falso na sua saída TOPLEVEL.

5 No protótipo implementado, os sinais de reset são ativos em zero (valor lógico falso). Sinais de reset vindos de níveis inferiores da hierarquia aparecem no diagrama da Figura 3 com o nome NO_RESET, N1_RESET, N7_RESET (no protótipo implementado cada módulo gerador de pulsos pode estar conectado a até oito outros módulos ou nós de processamento de níveis inferiores da hierarquia). Estes sinais passam por buffers IBUF e são ligados às entradas da porta E de oito entradas AND8. Caso qualquer uma destas entradas seja ativada (valor lógico zero), a saída de AND8
10 será levada para zero. Este valor zero será comunicado aos níveis superiores da hierarquia através do buffer OBUF ligado à saída de AND8, caso haja níveis superiores, e também tornará a saída Q do flip-flop síncrono do tipo D identificado como FDC na Figura 3 igual a zero, através da
15 sua entrada CLR (via o inversor INV). Se o módulo em questão estiver no topo da hierarquia, o nível lógico na saída TOPLEVEL de CLOCK_DETECTOR será verdadeiro. Este nível lógico verdadeiro ordenará o multiplexador M2_1, através de sua entrada de controle S0, a fazer com que sua entrada D1 seja
25 multiplexada para a sua saída O. A saída Q do flip-flop FDC passará então pelo multiplexador, gerando os sinais de reset NO_RESETO, N1_RESETO, N7_RESETO para os níveis inferiores da hierarquia. Caso o módulo em questão não esteja no topo da hierarquia, o multiplexador M2_1 multiplexará D0 para sua
30 saída O, fazendo com que o sinal de reset gerado para níveis

inferiores da hierarquia venha através do IBUF ligado ao sinal TOP_RESET, que trás o sinal de reset vindo dos níveis superiores da hierarquia.

Um diagrama lógico do detector de pulsos usado no protótipo do módulo é apresentado na Figura 4. Nesta figura, o bloco L1 (COUNTER) é um contador binário de três bits. Este contador tem uma entrada assíncrona de reset de nome ASYNC_CTRL. Esta entrada está ligada, através do inversor INV, ao sinal EXT_CLOCK, que trás pulsos de níveis superiores da hierarquia de módulos. Se o módulo em questão não é o módulo no topo da hierarquia, o sinal EXT_CLOCK não trás pulsos e se mantém em nível lógico alto (inativo, no protótipo). Este nível lógico será invertido por INV o que não fará com que o contador sofra reset através de ASYNC_CTRL. Neste caso, os pulsos internos ao módulo, vindos através de INT_CLOCK, acionarão o contador L1 que contará até que sua saída assumo o máximo valor binário permitido (8, já que o contador é de três bits). Quando o contador chega ao seu máximo, a sua saída TERM_CNT (fim de contagem) assume o valor lógico verdadeiro. Este valor lógico verdadeiro inibe outros incrementos do contador através de sua entrada CLK_EN (via o inversor INV). Além disso, o sinal TERM_CNT faz com que o multiplexador M2_1 conecte a sua entrada D1 à sua saída 0, fazendo com que o sinal de saída deste detector de pulsos, SEL_CLOCK, seja igual aos pulsos vindos de INT_CLOCK.

Caso o módulo em questão não seja o módulo no topo da hierarquia, haverão pulsos, vindos de módulos acima na hierarquia, em EXT_CLOCK. Cada um destes pulsos zerará o contador L1, nunca permitindo que o mesmo conte até o seu máximo. Assim, a saída TERM_CNT será sempre igual zero, o que

comanda o multiplexador M2_1 a conectar a sua entrada DO à sua saída O, fazendo com que o sinal de saída do detector de pulsos seja igual aos pulsos vindos de EXT_CLOCK.

5 O hardware do relógio global em cada nó de processamento, ou módulo contador é bastante simples e seu diagrama de blocos é apresentado na Figura 5, dentro do retângulo tracejado. Ele é composto pela interface com o barramento da unidade de processamento e pelo contador. A interface permite ao nó de processamento (qualquer um deles) 10 inicializar o relógio global e ler o conteúdo do contador, que pode ter quantos bits quanto for necessário (64 bits no protótipo implementado).

Sob o comando do processador no nó de processamento, um sinal de reset do relógio global pode ser gerado pela interface 15 (Figura 5). Este sinal chega ao primeiro módulo em uma das linhas NO_RESET, N1_RESET, etc, da Figura 3, e sobe a hierarquia de módulos até o topo. Este sinal volta, de forma síncrona, através dos módulos, chegando a todos os contadores nos nós de processamento ao mesmo tempo. Isso garante que 20 leituras simultâneas nos contadores em diferentes nós de processamento, posteriores a inicialização, sempre vão resultar na leitura da mesma contagem de tempo (número de pulsos contados) desde a inicialização. Para evitar problemas de corrida na leitura do conteúdo do contador (o contador 25 pode estar no meio de um incremento no momento da leitura), esta deve ser sincronizada com o pulso do relógio global.

REIVINDICAÇÕES

- 1- "Relógio Global Distribuído para Clusters de Computadores" caracterizado por um sistema de múltiplos contadores de tempo, compreendendo, um ou mais módulos geradores de pulsos, que podem ser interconectados de forma hierárquica quando seu número for maior que 1 (um), módulos de contador de tempo local, cada um associado a cada nó do cluster e cabos de interconexão interligando os módulos de contador de tempo local ao módulo gerador de pulsos, ou aos módulos geradores de pulsos e estes entre si de forma hierárquica, sendo todos os contadores de tempo do sistema inicializados simultaneamente a partir de um sinal de reset proveniente de qualquer um dos nós de processamento, após o qual serão mantidos sincronizados pelos pulsos do oscilador do módulo gerador de pulsos no topo da hierarquia, que incrementarão sincronamente todos os contadores de tempo locais.
- 2- "Relógio Global Distribuído para Clusters de Computadores" de acordo com a reivindicação 1, caracterizado por cabos de interconexão que podem variar de tamanho, desde que dentro de limites que garantam que a diferença de tempo de propagação do sinal de reset entre o oscilador central e qualquer par de contadores não ultrapasse o tempo de ciclo do oscilador central.
- 3- "Relógio Global Distribuído para Clusters de Computadores" de acordo com as reivindicações 1 e 2, caracterizado por cabos de interconexão que podem variar de até d metros com $d=v/f$, onde v (em Metros/Segundo) é a velocidade de propagação de sinais eletromagnéticos nos cabos e f (em Hertz) é a frequência do relógio global.

4- "Relógio Global Distribuído para Clusters de Computadores" de acordo com as reivindicações 1, 2, e 3, caracterizado por uma estrutura de módulos hierárquicos onde cada módulo gerador de pulsos, contém um número fixo de portas para conexão aos processadores que compõem o cluster e uma porta extra para interconexão com outros módulos formando uma estrutura de árvore.

5- "Relógio Global Distribuído para Clusters de Computadores" de acordo com as reivindicações 1, 2, 3 e 4, caracterizado por um aparato detetor de pulsos ou uma chave eletromecânica, para verificar automaticamente se o módulo está no topo da hierarquia ou não.

6- "Relógio Global Distribuído para Clusters de Computadores" de acordo com reivindicações 1, 2, 3, 4 e 5, caracterizado por um método de propagação de pulsos de relógio, onde os módulos geradores de pulsos de níveis intermediários não usam seus osciladores, mas recebem os pulsos de módulos acima na hierarquia, e propagam os sinais de reset recebidos dos módulos acima na hierarquia para os módulos abaixo, e vice-versa.

7- "Relógio Global Distribuído para Clusters de Computadores" de acordo com as reivindicações 1, 2, 3, 4, 5 e 6, caracterizado por método de propagação de sinal de reset, onde os módulos intermediários utilizam cada um, uma porta ou para agrupar todos os sinais de reset que chegam a ele, a partir de pontos abaixo na hierarquia, onde a saída desta porta ou é enviada para cima na hierarquia, para permitir o reset do relógio global e um eventual reset gerado pelo módulo em questão, ou por outro módulo ou nó de processamento

em outro ponto da hierarquia, sobe até o módulo no topo da hierarquia.

8- "Relógio Global Distribuído para Clusters de Computadores" de acordo com as reivindicações 1,2,3,4,5,6 e 5 7, caracterizado por método de propagação de sinal de reset, onde o módulo gerador de pulsos no topo da hierarquia agrupa os sinais de reset que chegam a ele, com uma porta lógica ou com tantas entradas quantos forem os sinais de reset chegando a ele (ou com uma porta lógica E, se os sinais de reset forem 10 ativos em zero), a saída desta porta lógica é o sinal de reset que desce a hierarquia de módulos até chegar simultaneamente em todos os nós de processamento do cluster.

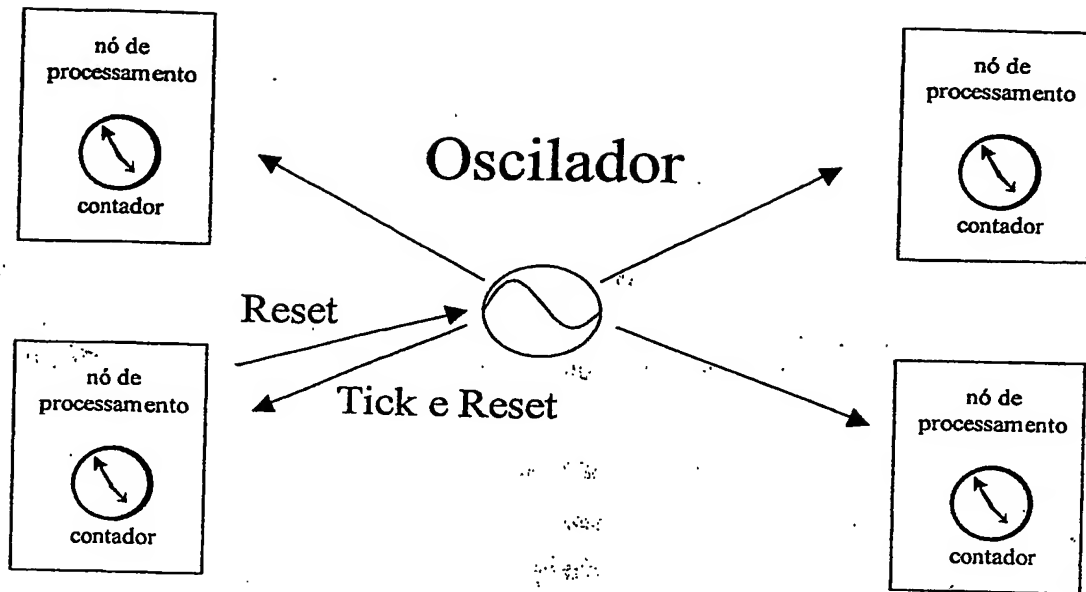


Figura 1:

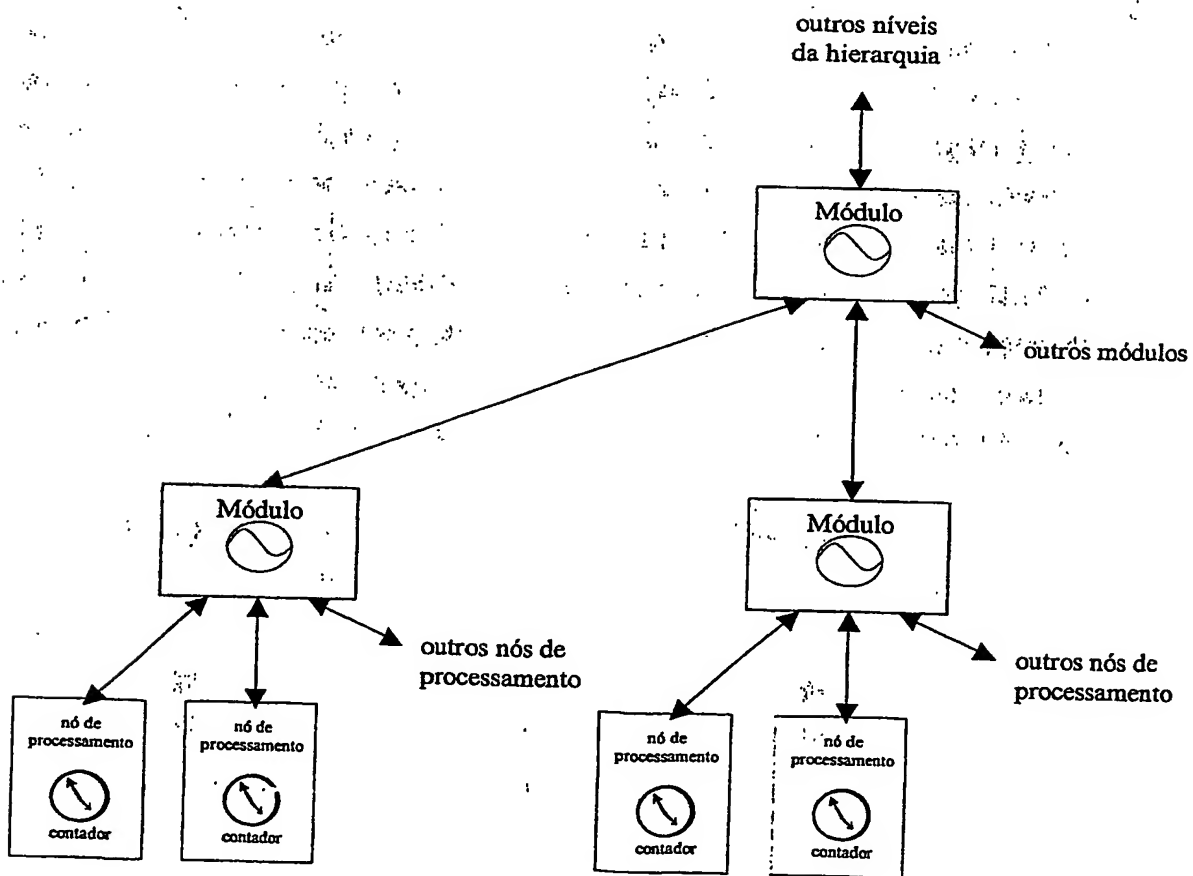


Figura 2:



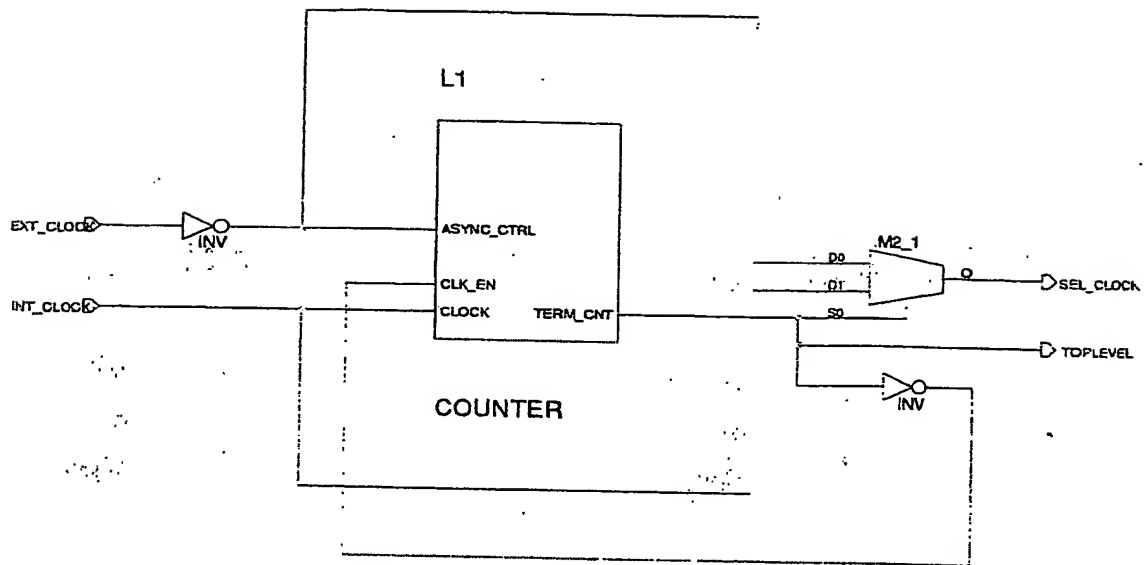


Figura 4:

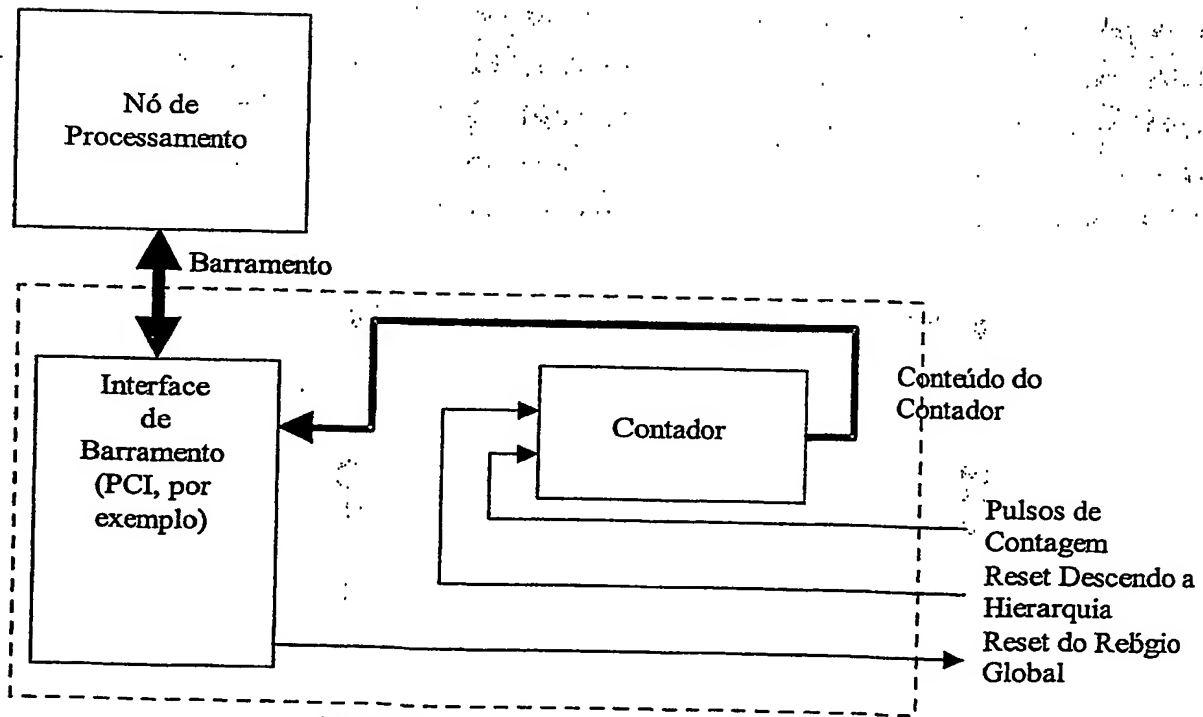


Figura 5:

RESUMO

Patente de Invenção para "Relógio Global Distribuído para Clusters de Computadores"

5 A presente invenção se refere a um sistema de relógio global, implementado inteiramente em hardware, para utilização em clusters ou rede de computadores. O sistema permite que, a partir de um sinal de reset enviado por qualquer um dos nós do cluster, todos os contadores de tempo locais dos nós sejam inicializados e sincronizados automaticamente. Dessa forma, cada processador poderá saber o valor do relógio global consultando seu próprio contador local. O sinal de reset é a única função implementada em software.

10